

MICROCOMPUTER

CROSS REFERENCE TO RELATED APPLICATION

This application is based on Japanese Patent Applications
No. 2000-402422 filed on December 28, 2000, No. 2000-402423 filed
on December 28, 2000 and No. 2000-402425 filed on December 28,
2000 the contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention:

本発明は、マイクロコンピュータに関する。

2. Description of Related Art:

マイクロコンピュータを用いた電子制御装置（ＥＣＵ）として、所定の時期から一定時間の経過後に、所定の処理を行うものが知られている。このような一定時間の計測は、タイマ処理と呼ばれ、マイクロコンピュータにより実行されるタイマ処理を含む機能はタイマ機能と呼ばれる。例えば、通信相手の装置へ起動信号を送信してから所定時間が経過した後で、その通信相手との通信動作を実施するＥＣＵや、外部のスイッチ等からの信号がアクティブレベルに変化したことを検知してから所定時間が経過した後で、ランプやブザー等の電気負荷を駆動するための動作を実施するＥＣＵである。しかし、タイマ処理は、継続的な時間の計測を必要とするため、マイクロコンピュータの消費電力を大きくしていた。

一方、ＥＣＵには、マイクロコンピュータの外部の信号レベルを継続的に監視し、信号レベルが所定のレベルになると所定の処理を実行するという信号連動機能を実現するものがある。ところが、マイクロコンピュータにより継続的に信号レベルを監視することは、マイクロコンピュータの消費電力を大きくしていた。さらに、信号レベルを監視する場合

には、ノイズを除去する処理が消費電力を大きくしていた。

また一方で、他のＥＣＵ等の装置と通信して処理を行うという通信機能をもったＥＣＵがある。ところが、通信を行うには、通信相手、又は通信用付属機器の準備を待つための通信待ち期間が生じ、マイクロコンピュータの消費電力を大きくしていた。

例えば車両に搭載されるＥＣＵでは、エンジン停止時にバッテリーへの充電が行われないので、消費電力が大きいマイクロコンピュータを備えたＥＣＵはバッテリーを消耗させる原因となっていた。

SUMMARY OF THE INVENTION

本発明は、マイクロコンピュータの消費電力を低減することを目的とする。

本発明は、採用が比較的容易な構成により、マイクロコンピュータの消費電力を低減することを他の目的とする。

本発明は、低コストな構成でマイクロコンピュータの消費電力を低減することをさらに他の目的とする。

本発明は、タイマ機能を低い消費電力で実現できるマイクロコンピュータを提供することをさらに他の目的とする。

本発明は、長時間に渡るタイマ機能を低い消費電力で実現できるマイクロコンピュータを提供することをさらに他の目的とする。

本発明は、信号連動機能を低い消費電力で実現できるマイクロコンピュータを提供することをさらに他の目的とする。

本発明は、通信機能を低い消費電力で実現できるマイクロコンピュータを提供することをさらに他の目的とする。

本発明のひとつの実施形態によると、マイクロコンピュータは、プログラムに従い動作するＣＰＵと、ＣＰＵを動作させるためのメインクロックを生成するメインクロック生成手段と、上記メインクロックよりも

周波数が低いサブクロックを受けて動作すると共に、CPUを間欠的に動作させるための制御を行う間欠動作制御手段とを備えている。

CPUは、自らが動作を停止する際に、間欠動作制御手段へ停止指令を出力する。間欠動作制御手段は、停止指令にตอบสนองしてメインクロック生成手段の動作を停止させると共に、所定の設定時間の計時を開始する。間欠動作手段は、設定時間の経過後に、メインクロック生成手段の動作を再開させてCPUを停止状態から動作状態へと起床させる。

間欠時間計測手段は、CPUが停止状態である期間（以下、間欠時間ともいう）を自動的に計測すると共に、その計測値がCPUによって読み取り可能に構成されている。これにより、CPUは、たとえ数十時間や数日間といった非常に長い時間でも計測することができる。また、消費電力を低減することができる。

本発明の他の実施形態によると、マイクロコンピュータには、自動信号読込手段が設けられている。自動信号読込手段は、CPUが動作を停止している場合に、当該マイクロコンピュータの所定の入力端子に供給される監視対象の二値信号（以下、監視対象信号という）のレベルを間欠的に読み込んで判断する。信号レベルが特定のレベルになると、CPUを停止状態から動作状態へと起床させる。この結果、信号連動機能を少ない消費電力で実現することができる。また、自動信号読込手段は、監視対象信号のレベルを間欠的に読み込むため、耐ノイズ性にも優れている。

本発明の他の実施形態によると、マイクロコンピュータは、通信処理を実行するCPUと、このCPUを間欠的に動作させるための制御を行う間欠動作制御手段とを備える。間欠動作制御手段により、CPUは間欠動作が可能となり、マイクロコンピュータの消費電力を低減できる。さらにマイクロコンピュータは、タイマ連動制御手段を備え、予め設定された設定時間に従って、上記通信手段に対して上記起動信号を出力す

る。CPUは、タイマ連動制御手段が起動信号を出力してから所定時間経過後に、間欠動作制御手段によって起床させられた際に通信処理を開始する。このため、CPUの起床前に、外部装置は準備を開始することができ、CPUは短い待ち時間で、通信処理を実行することができる。

BRIEF DESCRIPTION OF THE DRAWINGS

Features and advantages of embodiments will be appreciated, as well as methods of operation and the function of the related parts, from a study of the following detailed description, the appended claims, and the drawings, all of which form a part of this application. In the drawings:

図1は、本発明の第1実施形態によるマイクロコンピュータのブロック図、

図2は、本発明の第1実施形態によるタイマブロックのブロック図、

図3Aは、本発明の第1実施形態によるマイクロコンピュータの動作状態を示すグラフ、

図3Bは、本発明の第1実施形態によるマイクロコンピュータの動作状態を示すグラフ、

図4は、本発明の第2実施形態によるマイクロコンピュータのブロック図、

図5は、本発明の第2実施形態によるレベル検出回路のブロック図、

図6Aは、本発明の第2実施形態によるマイクロコンピュータの動作状態を示すグラフ、

図6Bは、本発明の第2実施形態によるマイクロコンピュータの動作状態を示すグラフ、

図7は、本発明の第2実施形態によるマイクロコンピュータの動作状態を示すグラフ、

図 8 は、本発明の第 2 実施形態によるマイクロコンピュータの動作状態を示すグラフ、

図 9 は、本発明の第 3 実施形態によるマイクロコンピュータのブロック図、および

- 5 図 10 は、本発明の第 3 実施形態によるマイクロコンピュータの動作状態を示すグラフである。

DETAILED DESCRIPTION OF PREFERRED EMBODIMENTS

以下、本発明を適用した第 1 実施例を、図面を参照して説明する。この実施例では、本発明を車両に搭載された電子制御装置（ECU）1 に適用した。図 1 は、本実施形態のマイクロコンピュータの構成を表すブロック図である。マイクロコンピュータ 2 はシングルチップ化されている。マイクロコンピュータ 2 は、プログラムに従い動作する CPU 3、プログラムや固定データが予め格納される ROM 5、及び CPU 3 による演算結果を一時記憶するための RAM 7 とを基本構成として備えている。さらに ECU 1 は、制御対象として、例えばインジケータランプや、アクチュエータを備え、マイクロコンピュータ 2 は、アクチュエータ等への I/O ポート 7 を有している。

- 20 マイクロコンピュータ 2 には、2 つの発振素子 8、18 が外付けされる。マイクロコンピュータは、CPU 3 の動作クロックであるメインクロック MCL（本実施形態では数 MHz ～数十 MHz）を生成するメイン発振回路 9 と、メイン発振回路 9 を制御する発振制御部 11 とを有するメインクロック発生部 13 を有する。さらに、上記メインクロックよりも周波数が低いサブクロック SCL（本実施形態では数十 KHz）を生成するサブ発振回路 19 を有する。マイクロコンピュータ 2 は、上記発振制御部 11 と協同して、CPU 3 を間欠的に動作（間欠動作）させるための制御を行う間欠動作制御部 15 と、CPU 3 の間欠時間（CP

U 3 の実質的な停止期間) を計測するタイマブロック 1 7 とを備える。

発振制御部 1 1 と、間欠動作制御部 1 5 と、タイマブロック 1 7 とは、サブクロックを受けて動作する。サブクロックは常時生成される。メイン発振回路 9 が、メインクロック生成手段を構成し、発振制御部 1 1 と
5 間欠動作制御部 1 5 とが、間欠動作制御手段を構成し、タイマブロック 1 7 が、間欠時間計測手段を構成する。

C P U 3 は、特定の動作停止命令を実行することによって自己の動作を停止することができる。C P U 3 は、動作停止命令を実行することにより自ら動作を停止する時に、間欠動作制御部 1 5 へ停止指令 S D を出力する。

一方、間欠動作制御部 1 5 は、時間 S T が書き込まれたレジスタ 1 5 a を備えている。このレジスタ 1 5 a に記憶された所定の設定時間 S T は、C P U 3 によってセットされる。

間欠動作制御部 1 5 は、通常時には、メインクロック発生部 1 3 の発振制御部 1 1 に動作指示 D S を与えて、該発振制御部 1 1 にメイン発振回路 9 を動作させている。間欠動作制御部 1 5 は、C P U 3 が動作を停止し、C P U 3 からの停止指令 S D を受けると、発振制御部 1 1 に停止指示 S S を出力して、発振制御部 1 1 にメイン発振回路 9 の動作を停止させる。間欠動作制御部 1 5 は、同時に、レジスタ 1 5 a にセットされている設定時間 S T の計時を開始する。間欠動作制御部 1 5 は、設定時間
20 が経過すると、発振制御部 1 1 に再び動作指示 D S を出力して、発振制御部 1 1 にメイン発振回路 9 の動作を再開させる。間欠動作制御部 1 5 は、C P U 3 から停止指令 S D を受けて、発振制御部 1 1 へ停止指示 S S を出力した時に、タイマブロック 1 7 へ、C P U 3 の動作が停止したことを示す停止報知信号 S I を出力する。
25

設定時間 S T は、サブクロックの数 (即ち周期数) に基づいて計時される。停止報知信号 S I は、極短いパルス幅のワンショットパルス信号

である。

発振制御部 11 は、間欠動作制御部 15 からの動作指示 DS と停止指示 SS とに応じて、メイン発振回路 9 の動作と非動作とを切り替える。発振制御部 11 は、メイン発振回路 9 の動作を開始させた際には、その時点からメインクロックの周波数が安定すると見こまれる所定の発振安定待ち時間 TF が経過した時に、CPU 3 へ、CPU 3 を停止状態から動作状態へと起床させるための RUN 信号 RS を出力する。

発振安定待ち時間 TF は、メインクロックの周波数が確実に安定してから CPU 3 を起床させるために設けられており、サブクロックの数に基づいて計時される。発振制御部 11 は、発振安定待ち時間を記憶したレジスタ 11a を備えている。レジスタ 11a のデータは、CPU 3 によってセットされる。発振制御部 11 は、RUN 信号を、間欠動作制御部 15 から次に停止指示を受けるまで継続して出力するようになっている。RUN 信号は、メイン発振回路 9 の動作を次に停止させる時まで継続的に出力される。RUN 信号は、タイマブロック 17 にも供給される。

タイマブロック 17 は、2 つの動作モードを有している。第 1 モードは、CPU 3 の間欠動作と連動して CPU 3 の間欠時間を自動的に計測する基本動作モードである。第 2 モードは、時間を継続して計測するフリーランのモードである。タイマブロック 17 は、CPU 3 からの動作モード切替指令 MC によって、動作モードが上記 2 つの何れかに設定される。計測値 Ta は、CPU 3 によって読み取り可能に構成されている。計測値 Ta は、カウント値として CPU 3 に読みこまれ、時間に換算される。

タイマブロック 17 は、第 1 モードでは、間欠動作制御部 15 からの停止報知信号 SI によって計測値が 0 にクリアされると共に、発振制御部 11 から RUN 信号 RS が出力されている間は、計時動作を停止して計測値 Ta を保持する。タイマブロック 17 は、CPU 3 からのクリア

指令によって、計測値 T a のクリアが行われると共に、CPU 3 からの
カウント停止指令によって、計時動作の停止及び計測値の保持を行う。

図 2 にタイマブロック 1 7 の具体的な回路構成が示されている。タイ
マブロック 1 7 は、論理回路として構成されている。タイマブロック 1
7 は、時間を計測する手段として、サブクロックを受けてアップカウン
ト動作すると共に、そのカウント値が計測値 T a として CPU 3 に読み
取られるカウンタ 2 1 を備えている。カウンタ 2 1 は、リセット端子 2
1 a にハイレベルの信号が供給されると、カウント値が 0 にクリアされ、
動作停止端子 2 1 b にハイレベルの信号が供給されている間、カウン
ト値を保持する。

タイマブロック 1 7 は、論理回路を備えている。アンド回路 2 3 は、
CPU 3 からの動作モード切替指令に相当する信号（以下、動作モード
切替信号 MC という）と間欠動作制御部 1 5 からの停止報知信号 S I と
の論理積信号を出力する。アンド回路 2 5 は、CPU 3 からの動作モード
切替信号 MC と発振制御部 1 1 からの RUN 信号 R S との論理積信号
を出力する。オア回路 2 7 は、アンド回路 2 3 の出力と CPU 3 からの
クリア指令 C L に該当する信号（以下、クリア信号という）との論理和
信号を、カウンタ 2 1 の上記リセット端子 2 1 a に供給する。オア回路
2 9 は、アンド回路 2 5 の出力と CPU 3 からのカウント停止指令に該
当する信号（以下、カウント停止信号 S C という）との論理和信号を、
カウンタ 2 1 の上記動作停止端子 2 1 b に供給する。

タイマブロック 1 7 に入力される各信号は、ハイレベルがアクティブ
レベルである。ローレベルアクティブの回路を用いてもよい。CPU 3
からオア回路 2 7 へのクリア信号 C L は、間欠動作制御部 1 5 からの停
止報知信号 S I と同様に、極短いパルス幅のワンショットパルス信号で
ある。

タイマブロック 1 7 では、CPU 3 からの動作モード切替信号 MC が

10023794.122001
10
15
5
ハイレベル（＝論理１）の場合に、間欠動作制御部１５からの停止報知信号ＳＩが、アンド回路２３及びオア回路２７を介してカウンタ２１のリセット端子２１ａに供給されると共に、発振制御部１１からのＲＵＮ信号ＲＳが、アンド回路２５及びオア回路２９を介してカウンタ２１の動作停止端子２１ｂに供給されるため、当該タイマブロック１７の動作モードが第１モードに設定される。

この第１モードでは、図３Ａに示すような間欠的な動作が行われる。時刻ｔ１においてＣＰＵ３の動作が停止して間欠動作制御部１５から停止報知信号ＳＩが出力されると、カウンタ２１のカウント値が０にクリアされて該カウンタ２１のカウント動作が最初から開始される。設定時間ＳＴが経過すると、時刻ｔ２において、メイン発振回路９が再びアクティブにされる。さらに発振安定待ち時間ＴＦが経過すると、時刻ｔ３において、発振制御部１１からＲＵＮ信号ＲＳが出力されてＣＰＵ３が動作を再開する。ここから、ＣＰＵ３が所定の処理を実行する。再び停止報知信号ＳＩが出力されるまで、カウンタ２１のカウント動作は停止し、カウント値が保持される。ＣＰＵ３が所定の処理を実行し、再び動作を停止すると、上記ｔ１からの動作を繰り返す。この結果、１サイクルにおいて、タイマブロック１７は、時間Ｔａを計測し、ＣＰＵ３自身は、自らの動作期間Ｔｂを記憶する。

20
25
5
ＣＰＵ３からの動作モード切替信号ＭＣがローレベル（＝論理０）の場合には、アンド回路２３、２５によってタイマブロック１７の動作モードが第２モードに設定される。間欠動作制御部１５からの停止報知信号ＳＩと、発振制御部１１からＲＵＮ信号ＲＳとに関係なく、カウンタ２１は、フリーランの状態でアップカウント動作を行う。動作モードに関係なく、ＣＰＵ３からクリア信号ＣＬが出力されると、カウンタ２１のカウント値は０にクリアされる。ＣＰＵ３からカウント停止信号ＳＣが出力されている間は、カウンタ２１のカウント動作が停止してカウ

ト値が保持される。

CPU3は、間欠動作制御部15のレジスタ15aへ任意の設定時間STをセットするプログラムを実行し、設定手段3aを構成する。さらに、CPU3は、実行すべき処理がなく、動作を停止しても良いと判断すると、動作停止命令を実行して、自己の動作を停止すると共に間欠動作制御部15へ停止指令SDを出力するというプログラムを実行する。これにより、CPU3は、停止手段3bを構成する。さらに、CPU3は、タイマ機能プログラムを実行する。CPU3は、累積プログラムを実行することにより、累積手段3cを構成する。累積手段3cは、累積加算値($\Sigma(Ta + Tb)$)を求める。この累積加算値は、最初に動作を停止した間欠動作開始時からの延べ時間を示す。CPU3は、判定手段3dを構成し、累積加算値に基づいて経過時間を判定する。そして、CPU3は、累積加算値がタイマ時間に達したと判断した場合、間欠動作を止めて、タイマ機能により達成されるべき予定のプログラム3eを実行し、タイマ機能を実現する。CPU3は、起床するごとに、今回起床するまでの間欠時間Taをカウンタ21から読み取る。また、今回起床してからの動作時間、即ちCPU3が動作状態となっている時間Tbを自らのソフトウェア処理により計測する。

このマイクロコンピュータ2によると、CPU3だけでなくメインクロックも停止し、比較的消費電力が小さい低周波数のサブクロックにより時間計測が実行されるため、タイマ機能を、より少ない消費電力で実現することができる。しかも、タイマブロック17が連続して計測可能な時間は有限であるが、計測すべき所定時間(タイマ時間)が数十時間や数日間といった非常に長いタイマ機能を実現できる。

また、タイマ時間はソフトウェアによって自由に設定することができ、汎用性を損なうこともない。更に、CPU3を定期的に動作させながら、継続して長い時間を計測することができるため、計測中に処理を適宜変

更することも可能である。例えば、タイマ時間の計測を開始してから状況が変化して、実施予定の動作が不要になった場合には、そのことを検知して他の処理を実行することができる。例えば、定期的にRAM7内のデータ等をチェックしてマイクロコンピュータ2の動作の安定性を確認することもでき、信頼性を向上できる。

また、タイマブロック17は、動作モード切替指令MCによって、第2モードに設定することができると共に、少なくとも第2モードに設定されている場合には、CPU3からの指令によってカウント値のクリアと保持とが行えるようになっている。このため、第2モードによるタイマ機能も実現することができる。

CPU3は、タイマ機能のための時間計測を開始するまでに、タイマブロック17の動作モードを、設定手段3aにより第2モードに設定する。図3Bの時刻t1に示すように、時間計測を開始する時に、停止手段3bによって、タイマブロック17へクリア信号CLを与えて、カウンタ21のカウント値を0にクリアする。CPU3は、累積手段3cによって、カウンタ21の計測時間Tiを、起床の度に累積する。CPU3は、起床する毎に、カウンタ21のカウントアップ動作を一時停止させてカウンタ21からカウント値を読み取ると共に、その直後にカウンタ21のカウント値をクリアして、該カウンタ21のカウント動作を0から再スタートさせる。この結果、図3Bに示されるT1、T2…の累積加算値($\sum(T_i)$)が得られる。この累積加算値が、判定手段3dにおいて用いられる。第2モードによると、CPU3の処理負荷を低減することができる。

上記実施例では、設定時間はプログラマブルであったが、固定値とすることができる。

次に、第2実施例を図4から図8に基づいて説明する。第1実施例と同様の構成には、説明の重複を避けるために、同じ符号を付した。

ECU10は、信号線L1を介して供給される監視対象信号としてのローアクティブ信号が、特定のレベルとしてのローレベルになると、予め決められた所定の動作、例えばアクチュエータとしてのランプの点灯などを実施する。

5 シングルチップ型のマイクロコンピュータ2の入力端子B1に信号線L1が接続されている。ECU10内には、信号線L1に通電する通電回路109が設けられている。通電回路109は、一端が信号線L1に接続されて、信号線L1をハイレベルに該当する電源電圧Vd(=5V)にプルアップするためのプルアップ抵抗Ruを有する。通電回路109は、スイッチング回路としてのトランジスタTr1、Tr2と、抵抗器R1、R2そしてR3とを備える。通電回路109は、出力端子Aがハイレベルになると、トランジスタTr2がONし、信号線L1をプルアップする。

10 マイクロコンピュータ2は、間欠動作制御部150と、レベル検出回路170とを有する。間欠動作制御部150は、第1実施例の間欠動作制御部15に加えて、レベル検出回路170から起床要求WDを入力するよう構成されている。レベル検出回路170は、CPU3からの指令に応じて動作して、マイクロコンピュータ2の端子からI/Oポート70を介して信号レベルを読み込む処理を一定時間毎に行う。間欠動作制御部150と、レベル検出回路170とは、サブ発振回路19で常時生成されるサブクロックを受けて動作する。レベル検出回路170が、自動信号読込手段に相当し、発振制御部11と間欠動作制御部15とが、タイマ起床制御手段に相当している。

20 CPU3は、特定の動作停止命令を実行することによって自己の動作を停止することができる。そして、CPU3は、動作停止命令の実行により自ら動作を停止する時に間欠動作制御部15へ動作要求RQを出す。間欠動作制御部150は、CPU3からの動作要求を受けて発振制御

部 1 1 に停止指示 S S を出力した際に、レジスタ 1 5 a にセットされている設定時間 S T の値が 0 であった場合には、レベル検出回路 1 7 0 から後述する起床要求が出力されるまで、メイン発振回路 9 の動作を停止させる。間欠動作制御部 1 5 0 は、レベル検出回路 1 7 0 から起床要求
5 が出力されると、発振制御部 1 1 に動作指示 D S を出力して、該発振制御部 1 1 にメイン発振回路 9 及び C P U 3 の動作を再開させる。C P U 3 は、停止保持プログラムを実行することによって、所定条件が満たされた時に、レジスタ 1 5 a に 0 をセットし、レベル検出回路 1 7 0 から起床要求 W D が出力されるまで、停止状態のままに自らを保持する。

また、間欠動作制御部 1 5 0 は、レジスタ 1 5 a にセットされている
10 設定時間を計時している途中で、レベル検出回路 1 7 0 から起床要求 W D が出力された場合にも、発振制御部 1 1 に動作指示 D S を出力して、発振制御部 1 1 にメイン発振回路 9 及び C P U 3 の動作を再開させる。

次に、レベル検出回路 1 7 0 について図 5 を参照して説明する。レベル
15 検出回路 1 7 0 は、論理回路によって構成されている。読込結果記憶部 1 7 a は、C P U 3 によって記憶内容が読み取り可能である。記憶部 1 7 b には、マイクロコンピュータ 2 の複数の入力端子の内でレベル検出回路 1 7 0 が信号レベルを読み込むべき端子を示す読込端子指令情報が、C P U 3 によって書き込まれる。記憶部 1 7 c には、信号レベルの
20 読み込みを間欠的に実施する時間間隔である信号読込間隔 T k が、C P U 3 によって書き込まれる。

処理回路部 1 7 i は、記憶部 1 7 b が示す読込対象端子の信号レベルを、記憶部 1 7 c が示す一定時間 T k 毎に読み込み、その信号レベルが
25 ハイとローのいずれであるかを判断し、その判断レベルを読込結果記憶部 1 7 a に更新して記憶する。例えば、記憶部 1 7 b には、入力端子 B 1 を示す読込端子指令情報が書き込まれる。

更に、他の記憶部 1 7 d ~ 1 7 h には、レベル検出回路 1 7 0 の動作

内容を決定する様々な情報がCPU3によって書き込まれる。

記憶部17dには、レベル検出回路170の動作モードを設定する1ビットのモード指令情報がCPU3によって書き込まれる。CPU3が動作を停止している場合に動作して、読込対象端子の信号の判断レベルが特定のレベルになるとCPU3を起床させるウェイクアップ動作モードと、CPU3が動作している場合にCPU3と並行して動作するフリーラン動作モードとが選択される。記憶部17eには、ウェイクアップ動作モードにおいてCPU3を起床させるための特定のレベルがCPU3によって書き込まれる。例えば、記憶部17dには、ウェイクアップ動作モードを示す値が書き込まれ、記憶部17eには、ローレベルが書き込まれている。

処理回路部17iは、記憶部17dがウェイクアップ動作モードを示す場合、CPU3が停止状態となって間欠動作制御部15から停止報知信号SIが出力されると動作を開始する。処理回路部17iは、読込対象端子の信号レベルを一定時間Tk毎に読み込んで判断すると共に、その判断レベルを記憶部17aに更新記憶する。そして、判断レベルが、記憶部17eが示す特定のレベルと一致すると、間欠動作制御部15へ前述の起床要求WDを出力して、メイン発振回路9の動作を再開させると共に、CPU3を停止状態から動作状態へと起床させる。レベル検出回路170は、発振制御部11から前述のRUN信号が出力されると、CPU3が動作を再開したと判断して、自己の動作を停止する。

記憶部17cが、フリーラン動作モードを示す場合、CPU3からの動作指令DDに応じて動作し、上記の基本動作を行う。つまり、読込対象端子の信号レベルを、一定時間Tk毎に読み込んで判断すると共に、その判断レベルを読込結果記憶部17aに更新記憶する。

記憶部17fには、フィルタ処理機能の有り／無しを設定する1ビットのフィルタ処理指令情報がCPU3によって書き込まれる。記憶部1

7 g には、通電信号出力制御機能の有り／無しを設定する1ビットの通電信号出力制御指令情報がCPU3によって書き込まれる。記憶部17 h には、通電信号出力制御を実施する場合の信号読込タイミング時間T m (待ち時間)がCPU3によって書き込まれる。

5 処理回路部17 i は、何れの動作モードにおいても、記憶部17 f がフィルタ処理機能有りを示す場合には、ノイズ対策用のフィルタ処理を行う。フィルタ処理は、予め定められた複数回分、例えば2回分、連続して同じ判断レベルが検出された場合にのみ、読込結果記憶部17 a を更新する。記憶部17 f がフィルタ処理機能無しを示す場合には、フィルタ処理なしで読込結果記憶部17 a を更新する。

10 例えば、記憶部17 c には、信号読込間隔T k として例えば50 ms が書き込まれる。例えば、記憶部17 f には、フィルタ処理機能有りを示す値が書き込まれる。例えば、記憶部17 g には、通電信号出力制御機能有りを示す値が書き込まれる。監視対象信号がローアクティブ信号だからである。例えば、記憶部17 h には、マイクロコンピュータ2よりハイレベルの通電信号が出力されてから信号線L1の状態が電氣的に安定するまでの遅延時間よりも若干長い値が、時間T m として、書き込まれている。

20 記憶部17 g が通電信号出力制御機能有りを示す場合には、読込対象端子から信号レベルを読み込むタイミングよりも、記憶部17 h が示す信号読込タイミング時間T m だけ前のタイミングで、出力端子Aからハイレベルの通電信号を出力させる。ハイレベルの通電信号は、通電回路109のNPNトランジスタT r 1 をオンさせる。通電信号の出力は、読込対象端子から信号のレベルを読み込んだ後に停止される。

25 この場合、レベル検出回路170は、図6Bに示す如く、信号読込間隔T k の後、通電回路109を活性化させる。さらに、信号読込タイミング時間T m が経過した時刻t 1 において、読込対象端子から信号レベ

ルを読み込み、判断を行う。その後、上記通電信号の出力を停止してNPNトランジスタTr1をオフさせる。

レベル検出回路170は、記憶部17gが、通電信号出力制御機能無しを示す場合には、通電信号出力制御を実施しない。出力端子Aは、レベル検出回路170の管理下から開放され、他の用途に使用できる。

レベル検出回路170の動作の一例が、図6Aに図示されている。CPU3は、プログラムを実行することにより、複数の機能的手段を構成する。CPU3は、設定手段3fにより、レベル検出回路170などの初期設定を行う。CPU3は、少なくとも信号線L1を介して供給される監視対象信号がローレベルでない場合に、動作しなくても良い状態になったと判断すると、自らの動作を停止する。停止手段3gによりCPU3が動作を停止すると、図6Aに示すように、レベル検出回路170が一定時間Tk毎に処理を実行する。

CPU3が停止状態にある間中、端子Aには間隔Tk毎に間欠的に通電回路109から通電され、端子B1を監視する。端子B1の信号レベルは、時刻tdにおいて検出される。時刻td1、td2では、端子B1がハイレベルである。信号線L1がスイッチ等を介し接地電位に接続され、端子B1がローレベルになったことは、時刻td3と、時刻td4とで検出される。

この実施例では、特定レベルがローレベルに設定されている。フィルタ処理により、2回連続してローレベルが検出された場合に、読込結果記憶部17a内のレベルがローレベルとなる。レベル検出回路170は、間欠動作制御部15へ起床要求WDを出力して、メイン発振回路9の動作を再開させると共に、CPU3を動作状態へと起床させる。CPU3は、動作を再開すると、読取手段3hにより、レベル検出回路170の読込結果記憶部17aから監視対象信号の判断レベルLVを読み取る。CPU3は、判断手段3iにより、読取ったレベルがローレベルと判断

されるならば、今回起床した理由が監視対象信号のローレベルへの変化によるものであると判断する。この場合、制御手段3 jにより、監視対象信号に関連して予め決められた所定の動作、例えばランプの点灯などを実施する。図6 Aには、時刻t d 4の後の、時刻t sにおいてCPU 3が動作状態に切り替わる場合が図示されている。その後、所定の処理を終えたCPU 3は、再び停止状態に入り、端子B 1の監視が再開される。

特に消費電力が大きいCPU 3とメイン発振回路9とを停止させたままで、監視対象信号が特定のレベルとしてのローレベルになったことを検知することができる。このため、信号連動機能を少ない消費電力で実現できる。レベル検出回路1 7 0は、間欠的な読み込みにより、フィルタ効果を発揮する。さらに、フィルタ処理も実施するため、CPU 3の処理負荷を増加させることなく、耐ノイズ性を向上できる。尚、感度を優先する場合には、記憶部1 7 fにフィルタ処理機能無しを示す値を書き込む。

更に、マイクロコンピュータ2は、タイマ起床制御手段としての間欠動作制御部1 5及び発振制御部1 1を備えているので、レジスタ1 5 aに、信号読込間隔T kよりも長いタイマ時間T iをセットすることで、CPU 3をタイマ時間毎に起こすことができ、動作の信頼性及び安定性を向上させることができる。CPU 3は、停止状態から起床する毎に、マイクロコンピュータ2の内部データ等をチェックして修復あるいは初期化する処理、例えば設定手段3 fを実行することで、不安定な動作を防止できる。図7に図示されるように、レベル検出回路1 7 0の動作に依存することなく、CPU 3を再起動させることができる。

本実施形態のマイクロコンピュータ2においては、レベル検出回路1 7 0はフリーラン動作モードでも動作できる。このため、CPU 3が通常に動作している時において、監視対象信号のレベルをCPU 3に代わ

って監視でき、CPU 3 の処理負荷を軽減できる。例えば、図 8 に図示されるように、CPU 3 は、自らが動作している通常動作時においても、レベル検出回路 170 の動作モードをフリーラン動作モードに設定すると共に、レベル検出回路 170 へ動作指令を与えることで、レベル検出回路 170 による監視対象信号の判断レベル LV を読込結果記憶部 17a から任意のタイミングで読み取ることができる。

レベル検出回路 170 は、記憶部 17b に書き込む読込端子指令情報によって、読込対象端子を選択することができる。CPU 3 を起床させる監視対象信号の入力レベルも、記憶部 17e に書き込むレベルによって、ハイレベルとローレベルとの何れにも設定することができる。記憶部 17g に書き込む通電信号出力制御指令情報によって、通電信号出力制御を実施するか否かをも、設定することができる。

例えば、記憶部 17b に、入力端子 B 2 を示す読込端子指令情報を書き込み、記憶部 17e に、特定のレベルとしてハイレベルを書き込み、更に、記憶部 17g に、通電信号出力制御機能無しを示す値を書き込むことができる。この場合、マイクロコンピュータ 2 の入力端子 B 2 に接続される信号線 L 2 に生じるハイアクティブ信号が監視対象信号である。そして、信号がローレベルからハイレベルになると、CPU 3 は、所定の動作を実施する。

レベル検出回路 170 は、記憶部 17c に書き込む値によって、信号読込間隔 Tk を任意に設定することができる。また、記憶部 17h に書き込む値によって、通電信号出力制御における信号読込タイミング時間 Tm を任意に設定することができる。

このように、いずれかひとつの項目を設定可能とすることにより、マイクロコンピュータ 2 に汎用性を与えることができる。実施例のマイクロコンピュータ 2 は、高い汎用性を有する。

さらに、通電回路 109 へ通電信号を出力するための出力端子 A も、

複数の端子の中から任意に選択できるように構成してもよい。汎用性を一層向上させることができる。

第3実施例を、図9ないし図10を参照して説明する。上述の実施例と同様の構成には同じ符号を付す。図10において、通信機能を備えたECU100は、ワンチップ型のマイクロコンピュータ2と、通信機能を有する外部装置50とを有する。マイクロコンピュータ2は、上述の実施例と同様の構成に加えて、CPU3を間欠的に動作させる間欠動作制御部151と、CPU3からの指示に従って外部装置50に対して起動信号RQを出力するタイマ連動制御部120とを備えている。発振制御部110と、間欠動作制御部151と、タイマ連動制御部120とは、サブ発振回路19で常時生成されるサブクロックを受けて動作する。CPU3は、停止手段3nによって、自らの動作を停止する時に間欠動作制御部151へ動作指令SDを出力する。

間欠動作制御部151は、CPU3からの動作指令SDを受けると、発振制御部110に停止指示SSを出力して、メイン発振回路13を停止させると共に、レジスタ15aにセットされている設定時間Tiの計時を開始する。設定時間Tiが経過すると、発振制御部110に再び動作指示DSを出力して、メイン発振回路13の動作を再開させる。間欠時間Tiは、固定値でも良い。

発振制御部110は、間欠動作制御部151からの動作指示DSを受けた際には、その時点からメインクロックの周波数が安定すると見なされる所定の発振安定待ち時間Twが経過した時に、CPU3へ、このCPU3を停止状態から動作状態へと起床させるためのRUN信号RSを出力する。時間Twは、レジスタ11aにCPU3によってセットされる。これら時間Twは、メインクロックの周波数が確実に安定してからCPU3を起床させるために設けられており、サブクロックの数に基づいて計時される。

タイマ連動制御部120は、CPU3によってセットされるレジスタ120aを備えている。レジスタ120aには、CPU3から動作指令SDを受けてから、外部装置50に向けて起動信号RQを出力するまでの時間Tqが設定される。タイマ連動制御部120は、CPU3から動作指令SDを受けると、レジスタ120aにセットされている設定時間Tqが経過すると、I/Oポート5を介して、外部装置50に対し、起動信号RQを出力する。この設定時間は、CPU3が間欠動作を開始してから所定回数の動作期間を経るであろう時間に設定されている。起動信号RQを出力してから外部装置50の処理準備が完了するまでの準備時間Tpが、予め実験等により求められている。設定時間Tqは、CPU3が停止状態から動作状態に起床した時点で、外部装置50が処理準備を完了するような時間に設定されている。設定時間Tqは、サブクロックの数（即ち周期数）に基づいて計時される。

CPU3はプログラムを実行することにより複数の機能的手段を構成している。CPU3は、初期設定手段3mによって初期設定を行う。CPU3が、停止手段3nによって動作を停止しても良いと判断すると、自らの動作を停止すると共に、間欠動作制御部151へ動作指令SDを出力する。CPU3は、同時にタイマ連動制御部120へも動作指令SDを出力する。CPU3は、RUN信号RSを受けると、起動手段3pによって停止状態から動作状態へと起床する。この結果、CPU3の間欠動作が実施される。さらにCPU3は、通信手段3qを構成し、外部装置50を用いた通信処理を実行する。

マイクロコンピュータ2の作動例を図10に基づいて説明する。図10は、CPU3が前回の通信処理を終了して間欠動作モードに移行した後、3回目の起床に同期して次の通信処理が開始される例が示されている。

CPU3は、前回の通信処理の終了時としての時刻t1において、間

欠動作制御部 151 を動作させて間欠動作モードに移行させる。その後、2 回の間欠動作を行う。そして、2 回目の動作期間の終わりである時刻 t2 において、タイマ連動制御部 120 のレジスタ 120a に、設定時間 Tq をセットすると共に、動作指令 SD を出力する。

5 タイマ連動制御部 120 は、CPU3 から動作指令 SD を受けると、設定時間 Tq の計時を開始する。そして、時間 Tq が経過すると、I/O ポート 7 を介して、外部装置 50 に対し、起動信号 RQ を出力する。この起動信号 RQ により外部装置 50 は通信準備を行い、CPU3 が 3 回目の起床を迎える時には、処理準備を完了する。CPU3 は、時刻 t3 において、3 回目の起床を迎えた直後から通信処理を実行する。

10 CPU3 は、待ち時間なしで、目的の通信処理を実行することができる。このため、CPU3 の停止時間を長くとることができ、消費電力を低減することができる。起動信号 RQ をタイマ連動制御部 120 が出力するので、起動信号の出力タイミングをソフトウェアで設定する必要がなく、簡易な構成にて消費電力の低減を図ることができる。間欠動作制御部 151 は、間欠動作制御手段に相当し、タイマ連動制御部 120 がタイマ連動制御手段に相当する。

15 Although the present invention has been described in connection with the preferred embodiments thereof with reference to the accompanying drawings, it is to be noted that various changes and modifications will be apparent to those skilled in the art. Such changes and modifications are to be understood as being included within the scope of the present invention as defined in the appended claims.